

# 如何用FPGA实现JESD204B协议(一)



## 1. JESD204B是什么

JESD204B标准提供一种将一个或多个数据转换器与数字信号处理器件对接的方法(通常是ADC或DAC与FPGA对接), 相比于通常的并行数据传输, 这是一种更高速度的串行接口。该接口速度高达12.5 Gbps/通道, 使用帧串行数据链路时钟和对齐字符, 它减少了器件之间的走线数量, 降低了走线匹配要求, 并消除了建立与保持时序约束问题, 从而简化了高速转换器数据接口的实施。

---

FPGA

---



## 2. JESD204B的优缺点

### 2.1 优点

- 减少了PCB布板空间, 减小了器件的引脚和封装大小。
- 不用再使用数据接口时钟 (时钟嵌入在比特流中, 利用恢复时钟技术CDR)。
- 不用担心信道偏移 (信道对齐可修复此问题, RX端FIFO缓冲器)。

### 2.2 缺点

- 更复杂的电路设计, 需要特殊的时钟电路。

- 增加了接口的传输延时。

## 2.3 JESD204B、LVDS接口对比:

接口类型	JESD204B	LVDS
最高速率	12.5Gbps	1Gbps (DDR)
是否需要随路的时钟线	不需要, 采用CDR技术从数据流中恢复时钟	需要时钟线: 一条差分位同步时钟线, 一条差分帧同步时钟线
是否需要链路对齐	不需要	需要数据线和时钟线之间严格对齐
引脚数 (14bit, 1GSPS采样)	4条 (2对数据差分线)	32条 (12对数据差分线+2对差分时钟线)

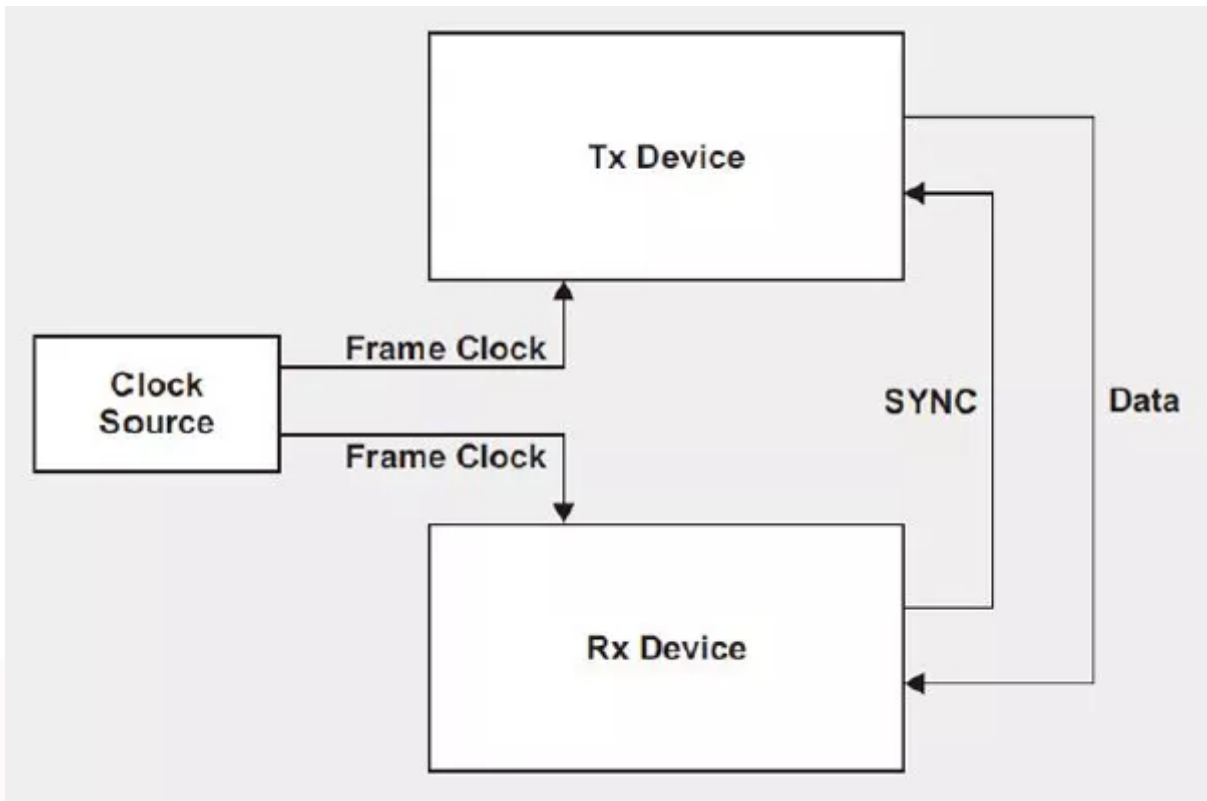
FPGA

## 3.JESD204B Subclass

JESD204B接口共有三个子类: Subclass 0、Subclass 1、Subclass 2 (常见Subclass 1, 不同子类的区别主要跟信号SYSREF和SYNC~的有无有关)。

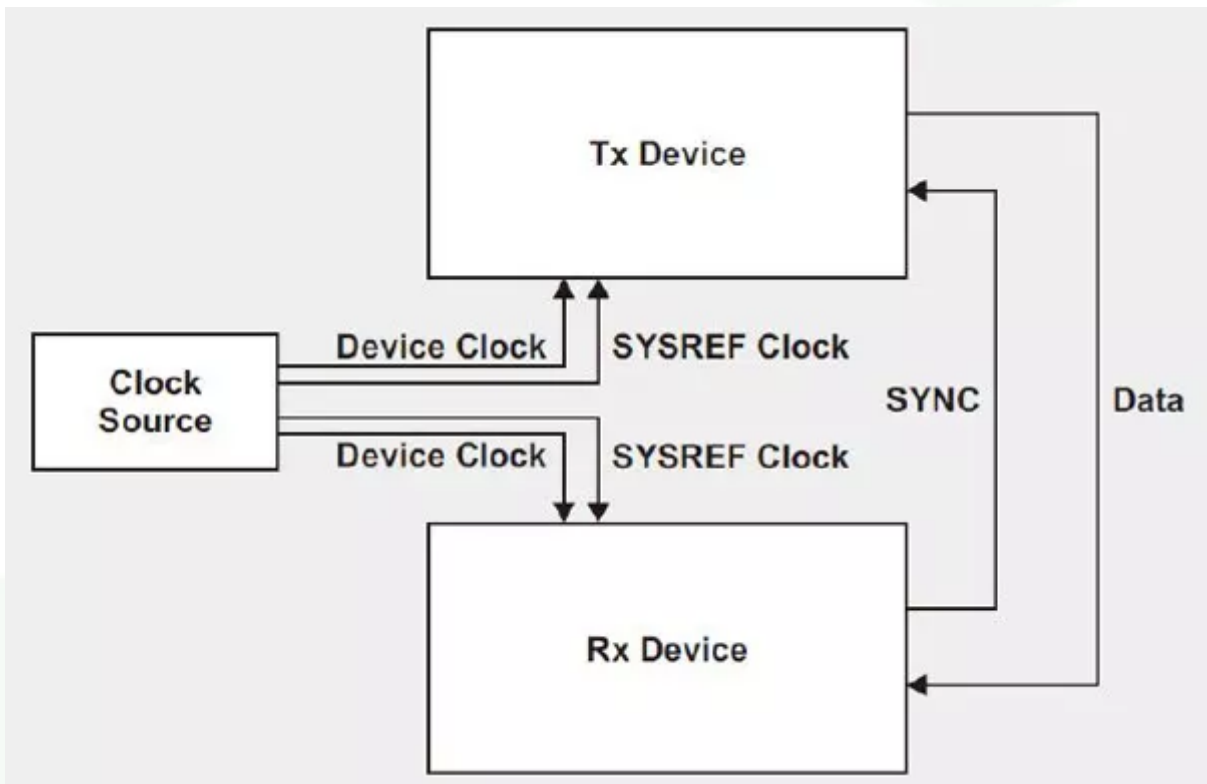
### 3.1 Subclass0

Subclass 0 uses device clock, lanes, and SYNC~ (子类0只有SYNC~信号);



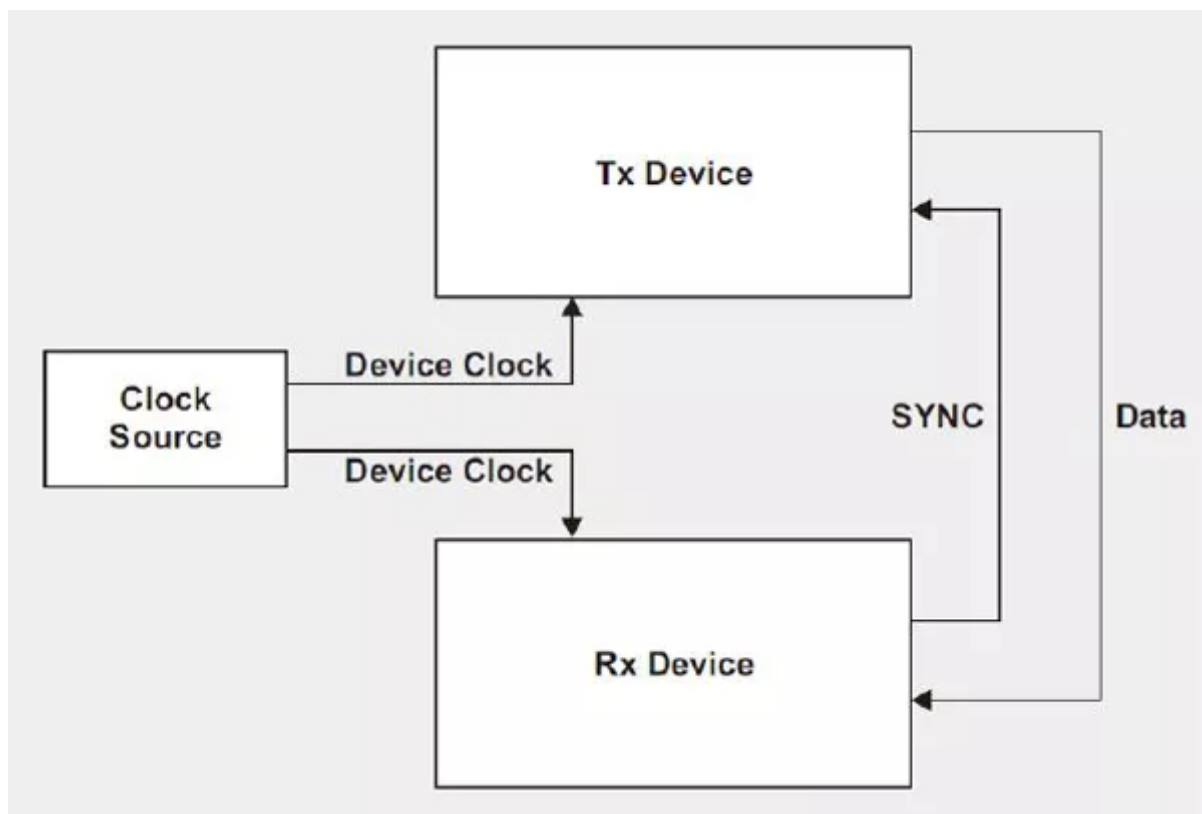
### 3.2 Subclass1

Subclass 1 uses device clock, lanes, SYNC~, and SYSREF (子类1有SYNC~和SYSREF信号) ;



### 3.3 Subclass2

Subclass 2 uses device clock, lanes, and SYNC~ (子类2只有SYNC~信号) 。



## 4. 小结

本文介绍 JEDEC JESD204B 标准，并说明使用此类接口的诸多优点，包括提高数据传输速率、简化印刷电路板配置、缩小封装尺寸、降低成本等，希望读毕本文后，读者能够更了解以 JESD204B 为基础的系统。